



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0016023
Application Number

출원 년 월 일 : 2003년 03월 14일
Date of Application MAR 14, 2003

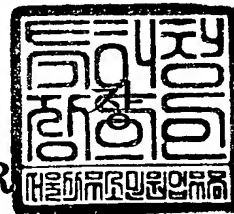
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 08 월 22 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.14
【발명의 명칭】	디지털 통신 시스템의 디인터리빙장치 및 그의 디 인터리빙방법
【발명의 영문명칭】	Digital communication system having a deinterleaver and a method deinterleaving thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	정홍식
【대리인코드】	9-1998-000543-3
【포괄위임등록번호】	2003-002208-1
【발명자】	
【성명의 국문표기】	고준원
【성명의 영문표기】	KO, JUN WON
【주민등록번호】	731023-1047510
【우편번호】	110-842
【주소】	서울특별시 종로구 창신1동 436-64번지 동대문상가 APT D동 416호
【국적】	KR
【발명자】	
【성명의 국문표기】	정석진
【성명의 영문표기】	JUNG, SUK JIN
【주민등록번호】	700716-1120622
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 692-1 삼성2차 APT 201동 401호
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
정홍식 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 8 면 8,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 14 항 557,000 원

【합계】 594,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

구현이 간단한 디지털 통신 시스템의 디인터리빙장치 및 그의 디인터리빙방법이 개시된다. 디인터리빙장치는, 입력 데이터에 따라 행 카운팅값을 증가시키는 행 카운터와, 행 카운터의 설정된 행주기마다 열 카운팅값을 증가시키는 열 카운터와, 열 카운터의 설정된 열주기마다 동기 카운팅값을 증가시키며 행주기에 대응하는 복수개의 동기 카운터와, 입력 데이터의 채널별 인터리빙 지연길이에 대응하여 설정된 읍셋값이 저장되는 읍셋 메모리, 및 읍셋값에 기초하여 생성된 쓰기 주소에 의해 입력 데이터가 기록되는 디인터리버 메모리를 가지며, 디인터리버 메모리에 기록된 입력 데이터는 동기 카운팅값에 기초하여 생성된 읽기 주소에 의해 읽혀 출력된다. 따라서, 디인터리빙 장치의 구현을 간단화 할 수 있다.

【대표도】

도 2

【색인어】

디인터리빙, 행, 열, 동기, RAM, 읍셋값, 다채널, 인터리빙 지연길이

【명세서】**【발명의 명칭】**

디지털 통신 시스템의 디인터리빙장치 및 그의 디인터리빙방법{Digital communication system having a deinterleaver and a method deinterleaving thereof}

【도면의 간단한 설명】

도 1은 종래의 인터리빙 장치와 디인터리빙장치에 대한 개략적인 구성도,
도 2는 본 발명에 따른 디지털 통신 시스템의 디인터리빙 장치에 대한 개략적인 구성도,
도 3은 도 2의 디인터리빙 장치의 구성에 대한 개념도,
도 4a 및 도 4b는 도 2의 디인터리빙 장치에 설정된 읍셋값에 의해 생성된 쓰기 주소에 입력데이터가 디인터리버 메모리에 쓰여지는 과정을 설명한 도,
도 5a 및 도 5b는 본 발명에 따른 디인터리빙 장치에 의해 디인터리빙이 수행되는 과정을 일 예로서 상세한 도,
도 6a 및 도 6b는 본 발명에 따른 디인터리빙 장치의 동기신호 및 출력신호의 타이밍 도, 그리고,
도 7은 본 발명에 따른 디지털 통신 시스템의 디인터리빙 방법에 대한 흐름도이다.

* 도면의 주요 부분에 대한 부호의 설명 *

210 : 행 카운터 230 : 열 카운터

250 : 동기 카운터 270 : 옵셋 메모리

290 : 디인터리버 메모리 291 : 메모리 셀

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<12> 본 발명은 디지털 통신 시스템에 관한 것으로, 보다 상세하게는 전송환경에서 발생하는 연집에러에 대한 신뢰성 향상 및 구현의 간단화 등을 도모하는 디인터리빙장치 및 그의 디인터리빙 방법에 관한 것이다.

<13> 일반적으로 다채널 디지털 통신 시스템은 전송시 발생하는 산발에러(random noise)를 제거하기 위해 길쌈 코드(Convolutional code)를 이용한다. 길쌈 코드는 산발에러에는 강한 특성을 갖으나, 소정의 위치에 에러가 모이는 연집에러에 대해서는 취약한 특성을 갖는다. 따라서, 연집에러를 갖고 있는 데이터 스트림을 산발에러를 갖는 스트림으로 변환해서 사용하여야 한다.

<14> 기존의 인터리빙 방식은 크게 블럭 방식과 컨벌루션널 방식으로 구분이 된다. 블럭 방식에 비해 컨벌루션널 방식은 구현에는 어려움이 있으나, 블럭 방식에 비해 1/4의 메모리 크기로 구현되고 총 지연시간이 1/2로 줄어드는 장점이 있어 인터리빙의 크기를 많이 요구하는 장비에서 주로 사용되고 있다.

<15> 컨벌루션널 방식의 인터리버는 서로 다른 지연길이를 갖는 FIFO 쉬프트 레지스트를 이용하여 일정한 순서의 입력 데이터 스트림을 램덤한 순서로 바꾸는

방식이다. 이와 같은 컨벌루션넬 방식의 인터리버와 디인터리버의 구조는, 도 1에 도시된 바와 같다.

<16> 컨벌루션넬 방식의 인터리버(110)는 k개의 브랜치(Branch)와, 소정 비트(m bit)의 FIFO 쉬프트 레지스터(shift register)(M)로 구성된다. 즉, FIFO 쉬프트 레지스터(M)가 클수록 인터리빙 특성이 향상된다. 컨벌루션넬 디인터리버(120)는, 인터리버(110)와 반대의 구조를 갖으며, 이에 의해 인터리빙된 데이터를 디인터리빙하여 원래의 데이터로 복원하게 된다.

<17> 이와 같이 FIFO 쉬프트 레지스터를 이용한 디인터리버의 구조는, 많은 로직 게이트(gate)를 필요하게 되므로 하드웨어의 크기 및 복잡성의 문제점을 갖는다. 이러한 문제점을 해결하기 위해 개발된 기술로는 FIFO 쉬프트 레지스터를 이용하던 메모리를 램덤 액세스 메모리(RAM)을 이용하는 방안이 제시되었다.

<18> 그러나, 램덤 액세스 메모리(RAM)을 이용하면, 하드웨어의 증가를 막을 수 있으나, 램덤 액세스 메모리(RAM)을 이용하기 위해서 주소 생성 및 메모리 제어를 위한 로직이 별도로 필요하게 된다.

<19> 즉, 램덤 액세스 메모리(RAM)을 이용하여 디인터리빙을 수행하는 경우, 다 채널 디지털 방송 시스템에서는 각 채널마다 인터리빙된 지연길이(depth)가 다르기 때문에 수신측에서 디인터리빙시 각 채널마다 인터리빙된 지연길이(depth)에 대응하여 각각 주소를 발생해야 한다. 특히, 디지털 방송의 품질을 향상하기 위해 인터리빙된 지연길이(depth)를 크게 함으로써 각각의 채널별로 주소를 발생하는 로직의 크기 및 구현이 복잡하게 되는 문제점이 있다.

<20> 또한, 디인터리빙의 동작특성에 따라서, 채널별로 다른 인터리빙의 지연길이에 대응하여 서로 다른 크기의 무효데이터들이 각각의 채널별 유효데이터 앞에 붙게 된다. 이에 의해 각각의 채널별 유효데이터의 시작위치가 시스템의 동기화 맞지 않게 되며, 이를 해결하기 위해 별도의 동기화 로직을 구현해야 하는 문제점이 있다.

<21> 이와 같은 종래의 디인터리버의 구조는, 그 구조가 복잡하며, 그에 따른 사이즈가 크다는 단점을 갖는다.

【발명이 이루고자 하는 기술적 과제】

<22> 본 발명은 상기와 같은 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은, 신뢰성 향상 및 구현의 간단화 등을 도모하는 디지털 통신 시스템의 디인터리빙 장치 및 그의 디인터리빙 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<23> 상기 목적을 달성하기 위한 본 발명에 따른 디지털 통신 시스템의 디인터리빙장치는, 입력 데이터에 따라 행 카운팅값을 증가시키는 행 카운터와, 상기 행 카운터의 설정된 행주기마다 열 카운팅값을 증가시키는 열 카운터와, 상기 열 카운터의 설정된 열주기마다 동기 카운팅값을 증가시키며 상기 행주기에 대응하는 복수개의 동기 카운터와, 상기 입력 데이터의 채널별 인터리빙 지연길이에 대응하여 설정된 읍셋값이 저장되는 읍셋 메모리, 및 상기 읍셋값에 기초하여 생성된 쓰기 주소에 의해 상기 입력 데이터가 기록되는 디인터리버 메모리를 포함하

며, 상기 디인터리버 메모리에 기록된 상기 입력 데이터는, 상기 동기 카운팅값에 기초하여 생성된 읽기 주소에 의해 읽혀 출력된다.

<24> 바람직하게는, 상기 복수개의 동기 카운터는, 상기 행 카운팅값에 대응하여 서로 다른 각각의 동기주기를 갖으며, 상기 열 카운터의 열주기는 상기 디지털 통신 시스템의 동기신호에 대응하도록 설정한다.

<25> 상기 입력 데이터는 상기 채널별 인터리빙 지연길이에 의해 유효데이터 및 무효데이터를 가지며, 상기 동기 카운팅값에 기초하여 생성된 상기 읽기 주소에 의해 상기 유효데이터가 읽혀 출력된다.

<26> 상기 읽기 및 쓰기 주소는, 상기 행 카운팅값, 열 카운팅값, 및 동기 카운팅값의 조합에 의해 생성되며, 상기 쓰기 주소는 상기 오프셋값이 가산된 상기 열 카운팅값과 상기 동기 카운팅값에 기초하여 생성된다.

<27> 한편, 본 발명에 따른 디지털 통신 시스템의 디인터리빙 방법은, 입력 데이터에 따라 행 카운터의 행 카운팅값을 증가시키는 제1카운팅단계; 상기 행 카운터의 설정된 행주기마다 열 카운터의 열 카운팅값을 증가시키는 제2카운팅단계; 상기 열 카운터의 설정된 열주기마다 복수개의 동기 카운터의 동기 카운팅값을 증가시키는 제3카운팅단계; 상기 입력 데이터의 채널별 인터리빙 지연길이에 대응하여 설정된 오프셋값에 기초하여 생성된 쓰기 주소에 의해 상기 입력 데이터를 디인터리버 메모리에 기록하는 단계; 및 상기 디인터리버 메모리에 기록된 상기 입력 데이터를 상기 동기 카운팅값에 기초하여 생성된 읽기 주소에 의해 상기 입력 데이터를 독출하는 단계;를 가지는 것을 특징으로 한다.

- <28> 따라서, 모든 채널에 대해 필요한 행 카운터와 열 카운터를 통합하여 하나의 행 카운터와 열 카운터로 최소화하여 구현을 간단하게 할 수 있다. 또한, 열 카운터의 주기를 시스템의 동기 신호와 일치시킴으로써 채널별로 동기화된 디인터리빙 데이터를 얻을 수 있게 된다.
- <29> 이하에서는 도면을 참조하여 본 발명을 보다 상세하게 설명한다.
- <30> 도 2는 본 발명에 따른 디지털 통신 시스템의 디인터리빙 장치에 대한 개략적인 구성도이다. 디인터리빙 장치는 행(Row) 카운터(210), 열(Column) 카운터(230), 다수개의 동기(Synch) 카운터(250), 오프셋(Offset) 메모리(ROM)(270), 및 디인터리버 메모리(RAM)(290)를 가지고 있다. 또한, 복수개의 멀티플렉서가 마련되며, 멀티플렉서는 입력되는 신호에 대해 선택적으로 스위칭하여 출력하는 스위칭 기능을 수행한다.
- <31> 디인터리버 메모리(290)는 동기신호에 대응되는 c개의 열(Column)을 갖는 메모리 셀(291)과, 메모리 셀(291)이 적어도 하나 이상 마련된 k개의 행(Row)을 갖는다. 따라서, 주소 체계는 행의 카운팅값, 열의 카운팅값, 및 메모리 셀(291)의 카운팅값(즉, 동기 카운팅값)의 조합으로 이루어진다.
- <32> 행(Row) 카운터(210)는 k개의 행($R[0] \sim R[k-1]$)을 카운팅하는 계환 카운터로서, 데이터가 입력되는 순서대로 행 카운팅값을 증가시킨다.
- <33> 열(Column) 카운터(230)는 메모리 셀(291)내의 $c(0 \sim c-1)$ 개의 열을 카운팅하는 계환 카운터로서, 행 카운터(210)가 k-1까지 카운팅이 완료되면 열 카운터

(230)의 카운팅 값을 증가시킨다. 여기서, c 값은 시스템의 동기신호에 대응하여 설정된 값이다.

<34> 동기(Synch) 카운터(250)는 k 개 마련되며, k 개의 동기 카운터(251, 252, ...)는 k 개의 행($R[0] \sim R[k-1]$)내에 마련된 적어도 하나 이상의 메모리 셀(291)을 각각 카운팅한다. 즉, 동기 카운터(250)는 열 카운터(230)의 카운팅 값이 $c-1$ 까지 카운팅이 완료되면, 동기 카운터(250)의 카운팅 값을 증가시킨다.

<35> 예컨데, 디인터리빙의 동작특성에 대응하여 k 개의 동기 카운터(251, 252, ...)는 다음과 같은 궤환 주기를 갖는다.

<36> 행 $R[0]$ 의 제1동기 카운터(251)는 s , 행 $R[1]$ 의 제2동기 카운터(252)는 $s-1$ 의 궤환 주기를 갖으며, 이와 같은 방식으로 행 $R[k-1]$ 의 제($k-1$)동기 카운터는 1의 궤환 주기를 갖는다.

<37> 오프셋(offset)메모리(270)는 각 채널별 인터리빙 지연길이에 대응하는 오프셋 값이 저장된다.

<38> 오프셋값(offset)은, 도 1의 디인터리버(120)를 참조할 때, $R[1]$ 의 오프셋값(offset)은 다음의 수학적식과 같이 나타낼 수 있다.

<39> **【수학적식 1】** $offset = (k-1)M - [(k-1)M - (K-2)M]$

<40> 즉, 기 저장된 오프셋값(offset)이 열 카운팅값과, 동기 카운팅값에 가산되어 입력 데이터의 채널별 쓰기 주소가 생성된다.

<41> 도 3은 도 2의 디인터리빙 장치를 개념적으로 설명하기 위한 도이다.

- <42> 디인터리빙 장치는, 다채널에 대해 동일한 행 카운터(210)와 열 카운터(230)를 갖는다. 행 카운터(210)는 행($R[0] \sim R[k-1]$)을 카운팅하고, 열 카운터(230)는 하나의 메모리 셀(291)을 이루는 열($[0] \sim [c-1]$)을 카운팅한다. k 개의 행($R[0] \sim R[k-1]$)은 인터리빙의 지연길이에 대응하여 적어도 하나 이상의 메모리 셀(291)을 갖는다. 예컨대, $R[0]$ 는 $s(0 \sim s-1)$ 개, $R[1]$ 은 $s-1(0 \sim s-2)$ 개, ..., $R[k-1]$ 은 $1(0)$ 개의 메모리 셀을 갖는다.
- <43> 각 카운터(210), (230), (250)의 동작은 다음과 같다.
- <44> 행 카운터(210)는 행 카운팅값(Row_CNT)이 $k-1$ 에 도달하면, 열 카운터(230)의 열 카운팅값(Colum_CNT)이 하나 증가하여, 열 카운터(230)의 열 카운팅값(Colum_CNT)이 $c-1$ 에 도달하면, 동기 카운터(250)의 동기 카운팅값(Synch_CNT)이 하나 증가한다. 이와 같이, 각 카운터(210), (230), (250)에 의해 카운팅된 행 카운팅값(Row_CNT), 열 카운팅값(Colum_CNT), 및 동기 카운팅값(Synch_CNT)의 조합에 의해 디인터리버 메모리(290)의 쓰기 주소 및 읽기 주소가 생성된다.
- <45> 먼저, 쓰기 주소는, 열 카운팅값(Colum_CNT)과 동기 카운팅값(Synch_CNT)에 옵셋 메모리(270)에 기 저장된 채널별 옵셋값(offset:0)을 가산하여 생성된다.
- <46> 이 후, 읽기 주소는, 동기 카운팅값(Synch_CNT)에 기초하여 행 카운팅값(Row_CNT) 및 열 카운팅값(Colum_CNT)이 조합되어 생성된다.
- <47> 도 4a 및 도 4b는 채널별 입력 데이터가 기 설정된 채널별 옵셋값(O_1, O_2)에 의해 쓰기 주소(Row_CNT, Colum_CNT, Synch_CNT)가 생성되는 과정을 설명한 도이다.

- <48> 먼저, 도 4a는 입력되는 다채널 데이터 중 인터리빙 지연길이가 가장 큰 제1채널에 대한 것이다.
- <49> 제1채널의 첫번째 입력 데이터는 인터리빙 결과에 따라서 유효데이터가 입력되며, 첫번째 데이터는, 행 R[0]의 읍셋값(O_{1-0})에 대응하여, 쓰기 주소 (0,0,0)에 쓰여진다.
- <50> 두번째 입력 데이터는, 인터리빙 결과에 따라 무효데이터가 입력되며, 두번째 데이터는, R[1]의 읍셋값(O_{1-1})에 대응하여 쓰기 주소 (1, c-n, s-2)에 쓰여진다. 즉, 쓰기 주소 (1, c-n, s-2) 부터 (1, c-1, s-2)까지는 인터리빙 과정에서 생성된 무효데이터가 쓰여지며, 쓰기 주소 (1,0,0)부터 유효데이터가 쓰여지게 된다.
- <51> 이와 같이, 읍셋 메모리(270)에 기 저장된 제1채널의 읍셋값(O_1)을 기초하여 입력 데이터는 각 행 R[0], R[1], ... R[k-1]에 대해 동기 카운팅값(Synch_CNT)이 '0'인 영역부터 유효데이터가 쓰여지기 시작한다.
- <52> 따라서, 제1채널에 대한 읽기 주소는 '0'인 동기 카운팅값(Synch_CNT)에 기초하여 행 카운팅값(Row_CNT)과 열 카운팅값(Colum_CNT)이 가산되어 생성되고, 이에 의해 제1채널의 디인터리빙 데이터가 동기를 맞추어 출력된다.
- <53> 도 4b는 제1채널 보다 인터리빙 지연길이가 작은 제2채널에 대한 것이다.
- <54> 제2채널의 첫번째 입력 데이터는 인터리빙 결과에 따라서 유효데이터가 입력되며, 첫번째 데이터는, 행 R[0]의 읍셋값(O_{2-0})에 대응하여, 쓰기 주소 (0,0,4)에 쓰여진다.

- <55> 두번째 입력 데이터는 인터리빙 결과에 따라 무효데이터가 입력되며, 두번째 데이터는, $R[1]$ 의 읍셋값(O_{2-1})에 대응하여 쓰기 주소 $(1, c-m, 3)$ 에 쓰여진다. 즉, 쓰기 주소 $(1, c-m, 3)$ 부터 $(1, c-1, 3)$ 까지는 인터리빙 과정에서 생성된 무효데이터가 쓰여지며, 쓰기 주소 $(1,0,4)$ 부터 유효데이터가 쓰여지게 된다.
- <56> 이와 같이, 읍셋 메모리(270)에 기 저장된 제2채널의 읍셋값(O_2)을 기초하여 입력 데이터는, 각 행 $R[0], R[1], \dots, R[k-1]$ 에 대해 동기 카운팅값(Synch_CNT)이 '4'인 영역부터 유효데이터가 쓰여지기 시작한다.
- <57> 따라서, 제2채널에 대한 읽기 주소는 '4'인 동기 카운팅값(Synch_CNT)에 기초하여 행 카운팅값(Row_CNT)과 열 카운팅값(Colum_CNT)이 조합되어 생성되고, 이에 의해 제2채널의 디인터리빙 데이터가 동기를 맞추어 출력된다.
- <58> 이상의 설명된 바와 같이, 본 발명에 따라 서로 다른 인터리빙 지연길이를 가지는 다채널의 입력 데이터는 각각의 채널별로 동기를 맞추어 디인터리빙 데이터를 출력할 수 있게 된다.
- <59> 도 5a 및 도 5b와, 도 6a 및 도 6b는 본 발명에 따른 디인터리빙 장치에 의해 디인터리빙이 수행되는 과정을 예를 들어 설명한 도이며, 도 7은 디인터리빙 과정에 대한 흐름도이다. 이하에서는 도 5a 내지 도 7을 참조하여 상세하게 설명한다.
- <60> 도 5a는 5개의 행 $R[0], R[1], R[2], R[3], R[4]$ 과, 1개의 열 $C[0]$ 을 가지는 인터리빙 장치(510)를 도시한 것이다.

<61> 먼저, 인터리빙 장치(510)에 입력되는 데이터는 다음의 표 1과 같다.

<62> 【표 1】

time	t1	t2	t3	t4	t5	t6	t7	t8	t9	t10	t11	t12	t13	t14	t15	t16	t17	...
Data	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	...

<63> 표 1의 데이터가 인터리빙 장치(510)에 입력되면, 인터리빙 장치(510)에서 인터리빙되어 출력되는 데이터는 다음의 표 2와 같다.

<64> 【표 2】

time	t1	t2	t3	t4	t5	t6	t7	t8	t9	t10	t11	t12	t13	t14	t15	t16	t17	...
Data	D1	X1	X2	X3	X4	D6	D2	X5	X6	X7	D11	D7	D3	X8	X9	D16	D12	...

<65> 여기서, $X_1, X_2, X_3, X_4, \dots$ 는 인터리빙 과정에서 생성된 무효데이터가 된다.

<66> 인터리빙 장치(510)에 대응하여 디인터리버 메모리(520)는 5개의 행 $R(0)(1)(2)(3)(4)$ 과, 한 개의 열 $C(0)$ 을 갖는다. 또한, 동기 카운팅값은 예컨데, $R(0)$ 의 경우 0 부터 $s-1$ 을 갖는다고 가정한다.

<67> 도 5b는 표 2에 나타난 바와 같은 인터리빙 데이터가 디인터리버 메모리 (520)에 쓰여지는 과정을 설명한 도이다.

<68> 먼저, 인터리빙 장치(510)에 대응하여 기 설정된 읍셋값($0_0, 0_1, 0_2, \dots$)을 이용하여 쓰기 주소가 생성된다.

<69> 읍셋값(0)은, 앞서 설명된 수학적 식 1에 의해, 인터리빙 장치(510)에서 지연 길이가 가장 큰 $R[0]$ 의 지연길이에서 해당하는 $R[0]$ 의 지연길이를 뺀 값을 다시

지연길이가 가장 큰 R[0]의 지연길이에서 뺀 값이 된다. 여기서는, 열 카운터의
 궤환 주기가 1이므로, 수학식 1의 M은 '1'이 된다.

<70> 즉, 디인터리빙 장치의 읍셋 메모리(270)에 저장된 읍셋값(0)은 다음과 같
 다.

<71> 행 R(0)의 읍셋값(O_0)은 $(4 \times 1) - [(4 \times 1) - (4 \times 1)] = 4$ 이 되며, 행R(1)의 읍셋
 값(O_1)은 $(4 \times 1) - [(4 \times 1) - (3 \times 1)] = 3$ 이 되며, 행R(2)의 읍셋값(O_2)은 $(4 \times 1) - [(4 \times 1) - (2 \times 1)] = 2$ 이 되며, 행R(3)의 읍셋값(O_3)은 $(4 \times 1) - [(4 \times 1) - (1 \times 1)] = 1$ 이 되
 며, 행R(4)의 읍셋값(O_4)은 $(4 \times 1) - [(4 \times 1) - (0 \times 1)] = 0$ 이 된다.

<72> 이상과 같이, 읍셋 메모리(270)에 기 저장된 읍셋값(0)에 기초하여 쓰기 주
 소가 생성되어 표 2의 입력 데이터가 디인터리버 메모리(520)에 쓰여지는 과정은
 도 5b에 도시된 바와 같다.

<73> 표 2를 참조할 때, 첫번째 입력 데이터 D1가 입력되면, 행 카운팅값
 (Row_CNT), 열 카운팅값(Colum_CNT), 동기 카운팅값(Synch_CNT), 및 읍셋값(O_0)
 을 이용하여 쓰기 주소 (0,0,4)가 생성된다(S711). 이에 의해 디인터리버 메모리
 (520)의 쓰기 주소(0,0,4)에 데이터 D1가 쓰여진다(S713). 이와 같은 방식으로,
 두번째 데이터 X1은 쓰기 주소 (1,0,3)에 쓰여지고, 세번째 데이터 X2는 쓰기 주
 소 (2,0,2)에 쓰여지고, 네번째 데이터 X3는 쓰기 주소 (3,0,1)에 쓰여지고, 다
 섯번째 데이터 X4는 쓰기 주소 (4,0,0)에 각각 쓰여진다. 나머지 표 2의 인터리
 빙 데이터는, 같은 방식으로 디인터리버 메모리(520)의 해당하는 주소에 각각 쓰
 여진다.

- <74> 따라서, 디인터리버 메모리(520)의 각 행 $R(0), R(1), R(2), R(3), R(4)$ 에 대한 동기 카운팅값(Synch_CNT)이 '4'인 영역부터 순차적으로 데이터가 쓰여지기 시작한다.
- <75> 이와 같이, 디인터리버 메모리(520)에 쓰여진 데이터는, 동기 카운팅값(Synch_CNT=4)에 기초하여 읽기 주소가 생성된다(S715). 즉 읽기 주소는, $(0,0,4)(1,0,4)(2,0,4)(3,0,4)(4,0,4), (0,0,5)(1,0,5)(2,0,5)(3,0,5)(4,0,5), (0,0,6)(1,0,6)(2,0,6)(3,0,6)(4,0,6), \dots$ 과 같이 읽기 주소가 생성되며, 생성된 읽기 주소에 따라서 데이터, $(D1, D2, D3, D4, D5), (D6, D7, D8, D9, D10), \dots$ 가 독출된다(S717).
- <76> 따라서, 인터리빙시 생성된 무효데이터 $X1, X2, X3, X4, \dots$ 는 출력되지 않으며, 입력된 데이터 순서대로 디인터리빙되어 출력된다.
- <77> 도 6a는 시스템의 동기신호(CLK)에 대한 타이밍 도이며, 도 6b는 동기 카운팅값(Synch_CNT)에 기초하여 디인터리버 메모리(520)에서 독출되는 데이터의 출력신호에 대한 타이밍 도이다.
- <78> 도 6a 및 도 6b에 도시된 바와 같이, 시스템 동기신호(Synch_CNT=4)에 동기를 맞추어 데이터 $(D1, D2, D3, D4, D5)$ 가 독출되는 것을 볼 수 있다.
- <79> 이와 같은 방식으로, 동기 카운팅값(Synch_CNT = 5, 6, 7, ...) 즉, 동기신호에 동기를 맞추어 데이터 $(D6, D7, D8, D9, D10), (D11, D12, D13, D14, D15), \dots$ 가 디인터리버 메모리(520)로부터 독출됨으로써 디인터리빙이 수행된다.

<80> 따라서, 모든 채널에 대해 필요한 행 카운터와 열 카운터를 통합하여 하나의 행 카운터와 열 카운터로 최소화하여 구현을 간단하게 할 수 있다. 또한, 열 카운터의 주기를 시스템의 동기 신호와 일치시킴으로써 채널별로 동기화된 디인터리빙 데이터를 얻을 수 있게 된다. 이에 의해 채널별 디인터리빙 데이터의 동기화를 위해 별도의 동기화 로직의 구현이 필요없게 됨으로써 역시, 구현의 간단화를 도모할 수 있게 된다.

【발명의 효과】

<81> 본 발명에 따르면, 첫째, 카운터의 개수의 최소화 및 동기화를 위한 별도의 로직이 필요없게 됨으로써 디인터리빙 장치의 구현이 간단화 될 수 있다.

<82> 둘째, 열 카운터의 주기를 시스템의 동기 신호와 일치시킴으로써 채널별로 동기화된 디인터리빙 데이터를 얻을 수 있다.

<83> 셋째, 카운터의 개수의 최소화에 따른 읽기 주소 및 쓰기 주소의 생성하기 위한 장치의 구현이 간단이 간단하여 간단화 될 수 있다.

<84> 이상에서는 본 발명의 바람직한 실시예에 대해 도시하고 설명하였으나, 본 발명은 상술한 특징의 바람직한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형 실시가 가능한 것은 물론이고, 그와 같은 변경은 청구범위 기재의 범위 내에 있게 된다.

【특허청구범위】**【청구항 1】**

입력 데이터에 따라 행 카운팅값을 증가시키는 행 카운터;

상기 행 카운터의 설정된 행주기마다 열 카운팅값을 증가시키는 열 카운터;

상기 열 카운터의 설정된 열주기마다 동기 카운팅값을 증가시키며, 상기 행주기에 대응하는 복수개의 동기 카운터;

상기 입력 데이터의 채널별 인터리빙 지연길이에 대응하여 설정된 읍셋값이 저장되는 읍셋 메모리; 및

상기 읍셋값에 기초하여 생성된 쓰기 주소에 의해 상기 입력 데이터가 기록되는 디인터리버 메모리;를 포함하며,

상기 디인터리버 메모리에 기록된 상기 입력 데이터는, 상기 동기 카운팅값에 기초하여 생성된 읽기 주소에 의해 읽혀 출력되는 것을 특징으로 하는 디지털 통신 시스템의 디인터리빙 장치.

【청구항 2】

제 1항에 있어서,

상기 복수개의 동기 카운터는,

상기 행 카운팅값에 대응하여 서로 다른 각각의 동기주기를 가지는 것을 특징으로 하는 디지털 통신 시스템의 디인터리빙 장치.

【청구항 3】

제 1항에 있어서,
상기 열 카운터의 설정된 열주기는,
상기 디지털 통신 시스템의 동기신호에 대응하는 것을 특징으로 하는 디인터리빙 장치.

【청구항 4】

제 1항에 있어서,
상기 입력 데이터는 상기 채널별 인터리빙 지연길이에 의해 유효데이터 및 무효데이터를 가지며,
상기 동기 카운팅값에 기초하여 생성된 상기 읽기 주소에 의해 상기 유효데이터가 읽혀 출력되는 것을 특징으로 하는 디지털 통신 시스템의 디인터리빙 장치.

【청구항 5】

제 1항에 있어서,
상기 읽기 및 쓰기 주소는,
상기 행 카운팅값, 열 카운팅값, 및 동기 카운팅값의 조합에 의해 생성되는 것을 특징으로 하는 디지털 통신 시스템의 디인터리빙 장치.

【청구항 6】

제 1항에 있어서,
상기 쓰기 주소는,

상기 읍셋값이 가산된 상기 열 카운팅값과 상기 동기 카운팅값에 기초하여 생성되는 것을 특징으로 하는 디지털 통신 시스템의 디인터리빙 장치.

【청구항 7】

제 1항에 있어서,

상기 입력 데이터가 상기 디인터리버 메모리에 대해 기록 및 독취하기 위해 입력신호에 대해 선택적으로 스위칭하여 출력하는 복수개의 멀티 플렉서;를 더 포함하는 것을 특징으로 하는 디지털 통신 시스템의 디인터리빙 장치.

【청구항 8】

입력 데이터에 따라 행 카운터의 행 카운팅값을 증가시키는 제1카운팅단계;

상기 행 카운터의 설정된 행주기마다 열 카운터의 열 카운팅값을 증가시키는 제2카운팅단계;

상기 열 카운터의 설정된 열주기마다 복수개의 동기 카운터의 동기 카운팅값을 증가시키는 제3카운팅단계;

상기 입력 데이터의 채널별 인터리빙 지연길이에 대응하여 설정된 읍셋값에 기초하여 생성된 쓰기 주소에 의해 상기 입력 데이터를 디인터리버 메모리에 기록하는 단계; 및

상기 디인터리버 메모리에 기록된 상기 입력 데이터를 상기 동기 카운팅값에 기초하여 생성된 읽기 주소에 의해 상기 입력 데이터를 독출하는 단계;를 포함하는 것을 특징으로 하는 디지털 통신 시스템의 디인터리빙 방법.

【청구항 9】

제 8항에 있어서,
상기 복수개의 동기 카운터는,
상기 행 카운팅값에 대응하여 서로 다른 각각의 동기주기를 가지는 것을 특징으로 디지털 통신 시스템의 디인터리빙 방법.

【청구항 10】

제 8항에 있어서,
상기 열 카운터의 설정된 열주기는,
상기 디지털 통신 시스템의 동기신호에 대응하는 것을 특징으로 하는 디인터리빙 방법.

【청구항 11】

제 8항에 있어서,
상기 입력 데이터는 상기 채널별 인터리빙 지연길이에 의해 유효데이터 및 무효데이터를 가지며,
상기 독출단계에서는,
상기 동기 카운팅값에 기초하여 생성된 상기 읽기 주소에 의해 상기 유효데이터가 읽혀 출력되는 것을 특징으로 하는 디지털 통신 시스템의 디인터리빙 방법.

【청구항 12】

제 8항에 있어서,

상기 읽기 및 쓰기 주소는,

상기 행 카운팅값, 열 카운팅값, 및 동기 카운팅값의 조합에 의해 생성되는
것을 특징으로 하는 디지털 통신 시스템의 디인터리빙 방법.

【청구항 13】

제 8항에 있어서,

상기 쓰기 주소는,

상기 읍셋값이 가산된 상기 열 카운팅값과 상기 동기 카운팅값에 기초하여
생성되는 것을 특징으로 하는 디지털 통신 시스템의 디인터리빙 방법.

【청구항 14】

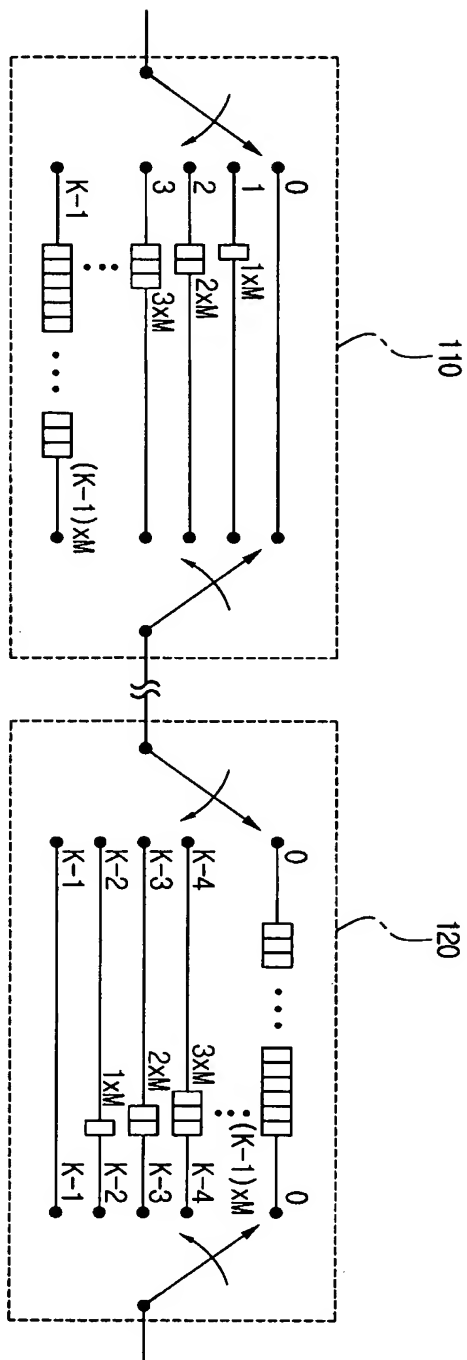
제 8항에 있어서,

상기 각각의 단계는,

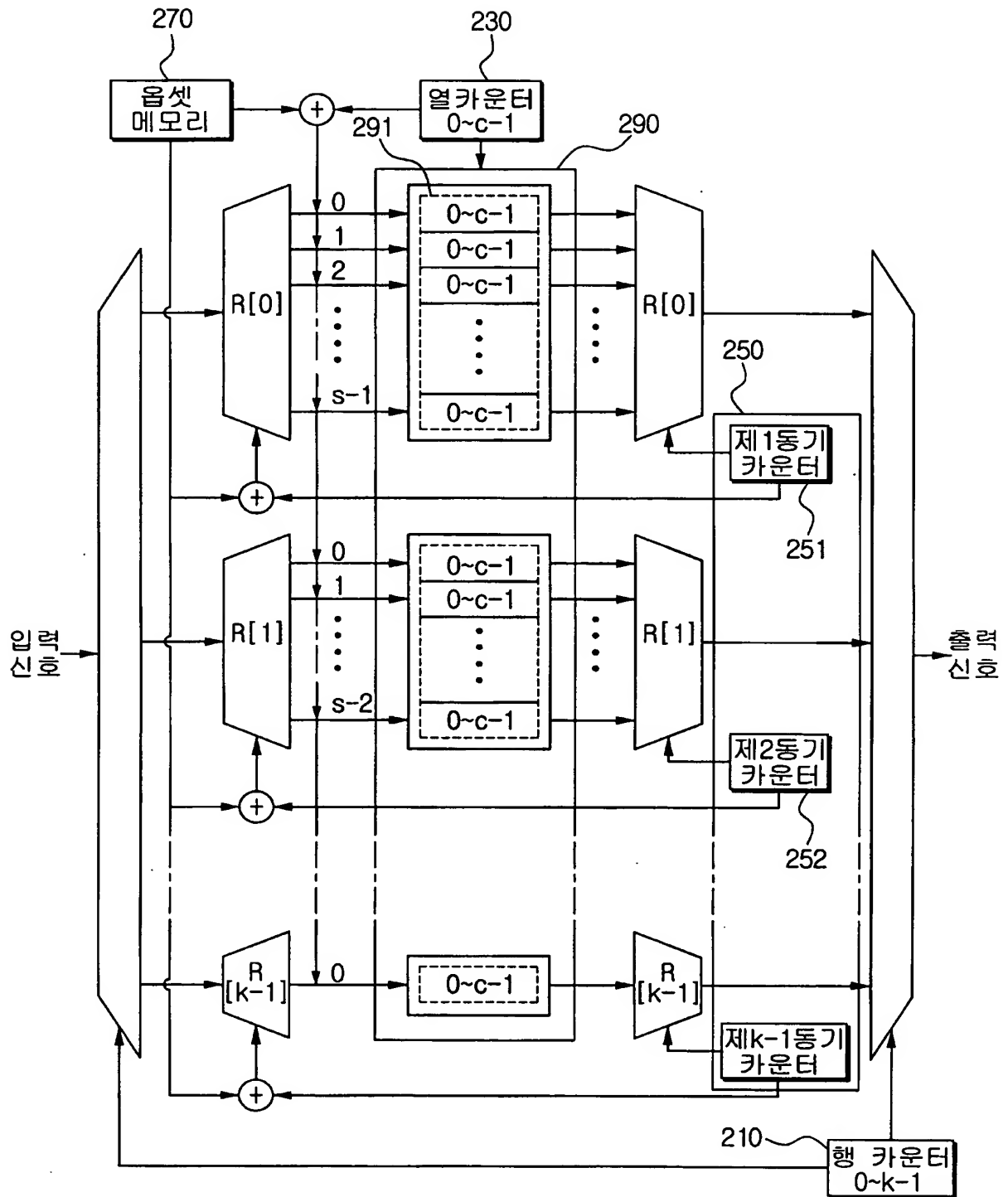
입력신호에 대해 선택적으로 출력하는 스위칭단계;를 더 포함하는 것을 특
징으로 하는 디지털 통신 시스템의 디인터리빙 방법.

【도면】

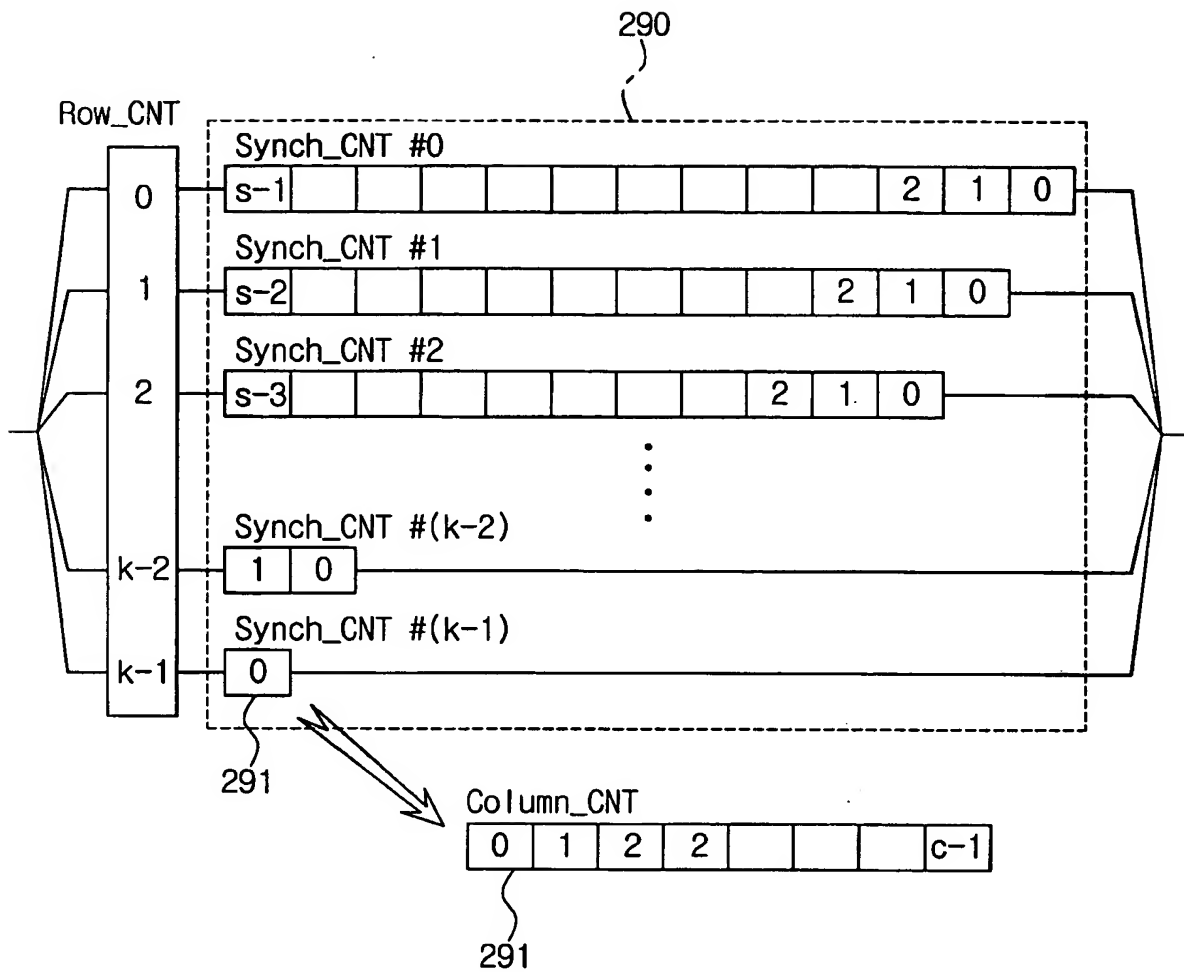
【도 1】



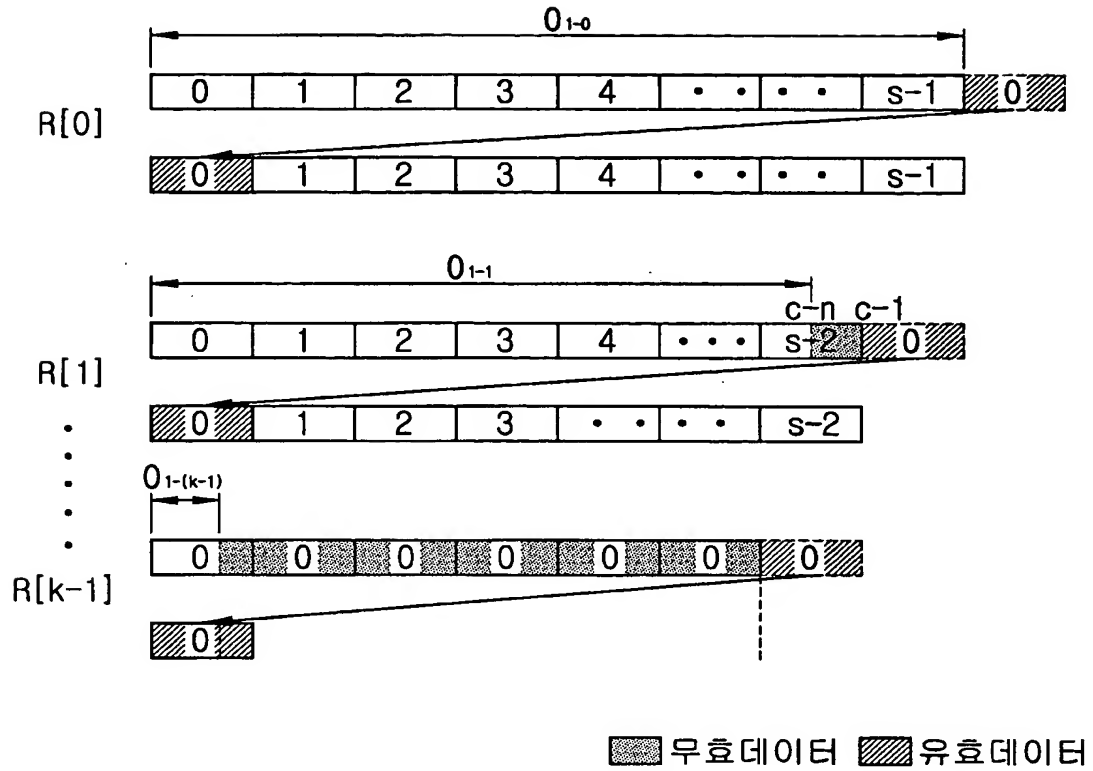
【도 2】



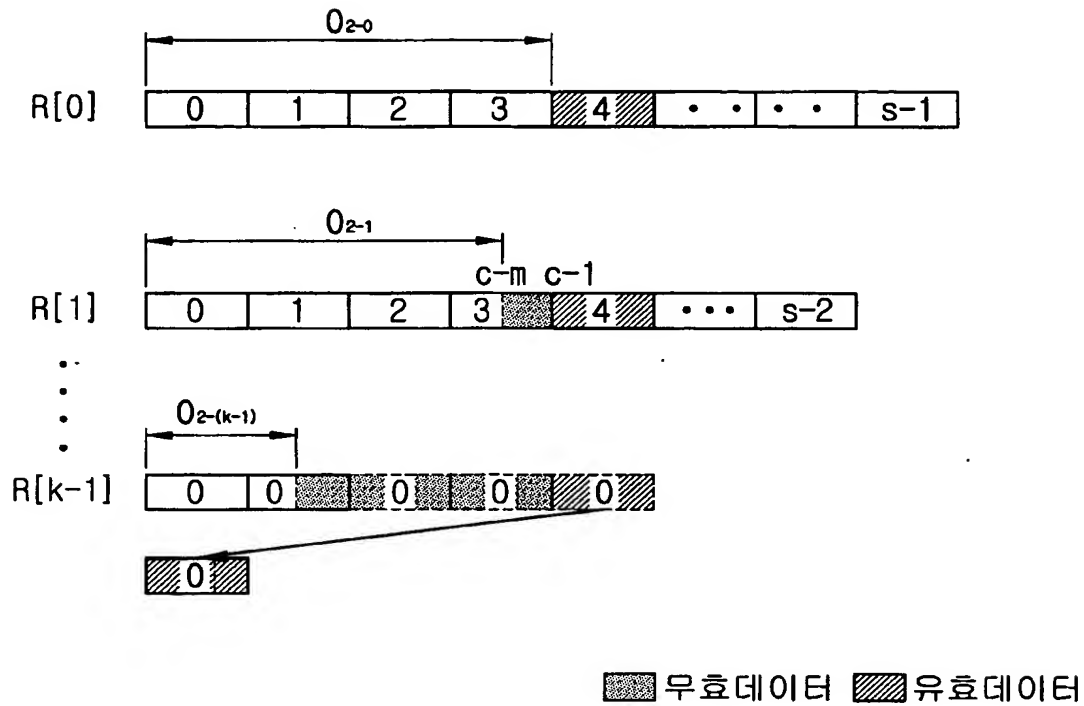
【도 3】



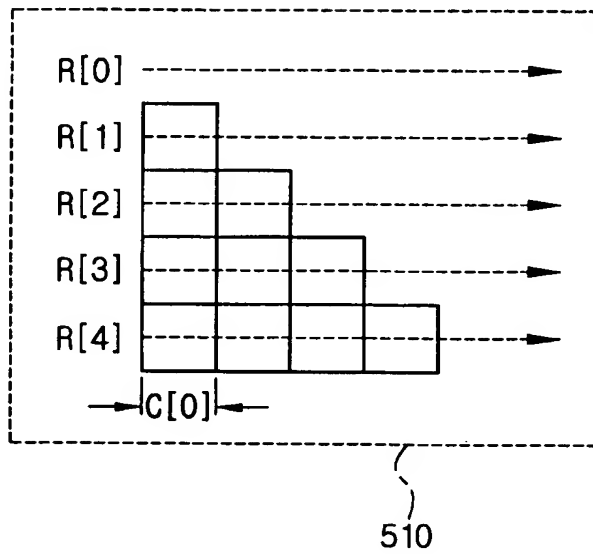
【도 4a】



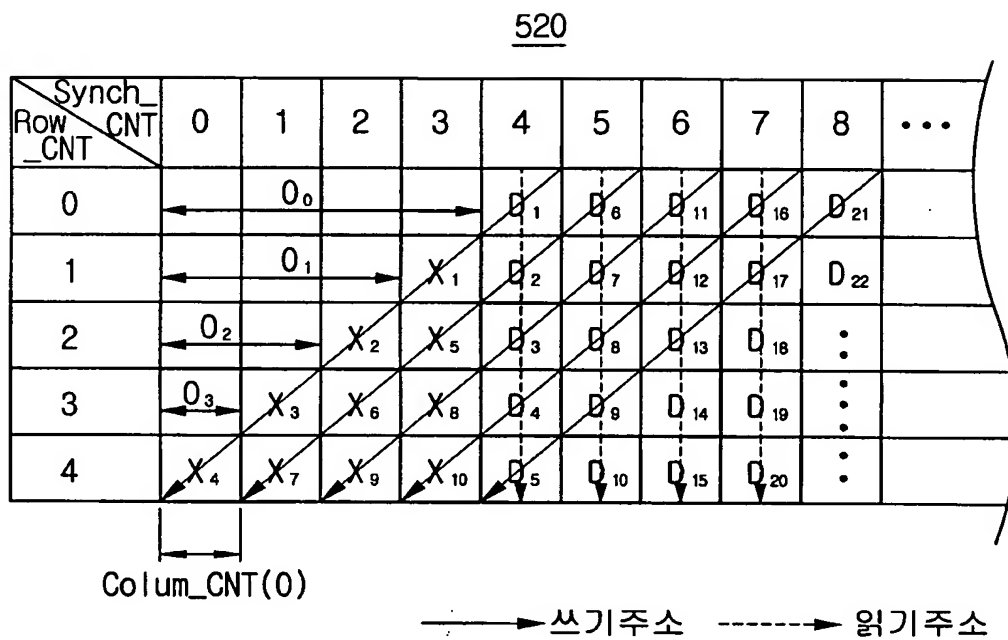
【도 4b】



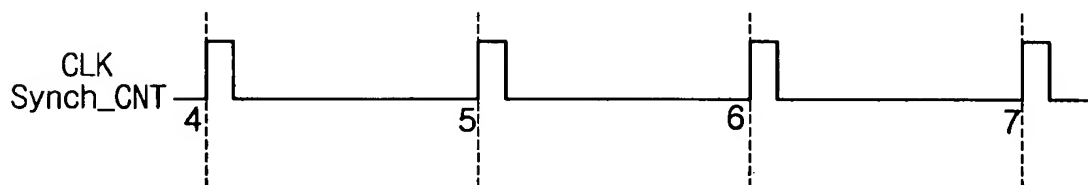
【도 5a】



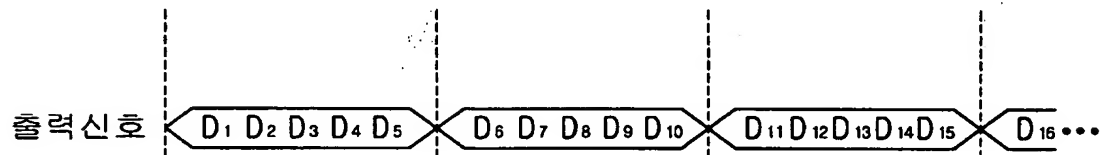
【도 5b】



【도 6a】



【도 6b】



【도 7】

